



10/509780

REC'D 26 MAR 2003

WIPO

PCT

BREVET D'INVENTION

CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION

COPIE OFFICIELLE

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

Fait à Paris, le 13 FEV. 2003

PRIORITY DOCUMENT

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

Pour le Directeur général de l'Institut
national de la propriété industrielle
Le Chef du Département des brevets

Martine PLANCHE



26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08
Téléphone : 01 53 04 53 04 Télécopie : 01 42 94 86 54

BREVET D'INVENTION
CERTIFICAT D'UTILITÉ

Code de la propriété intellectuelle - Livre VI



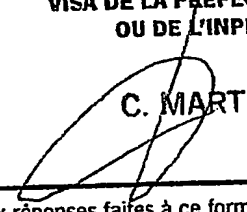
N° 11354*01

REQUÊTE EN DÉLIVRANCE 1/2

Cet imprimé est à remplir lisiblement à l'encre **noire**

DB 540 W / 260899

REMISE DES PIÈCES DATE 29 MARS 2002 LIEU 75 INPI PARIS N° D'ENREGISTREMENT NATIONAL ATTRIBUÉ PAR L'INPI 0204013 DATE DE DÉPÔT ATTRIBUÉE PAR L'INPI 29 MARS 2002		Réservé à l'INPI		1 NOM ET ADRESSE DU DEMANDEUR OU DU MANDATAIRE À QUI LA CORRESPONDANCE DOIT ÊTRE ADRESSÉE Philippe GATEPIN Société Civile S.P.I.D. 156 Bd Haussmann 75008 PARIS	
Vos références pour ce dossier (facultatif) PHFR020028					
Confirmation d'un dépôt par télécopie <input type="checkbox"/> N° attribué par l'INPI à la télécopie					
2 NATURE DE LA DEMANDE		Cochez l'une des 4 cases suivantes			
Demande de brevet		<input checked="" type="checkbox"/>			
Demande de certificat d'utilité		<input type="checkbox"/>			
Demande divisionnaire		<input type="checkbox"/>			
Demande de brevet initiale		N°	Date		
ou demande de certificat d'utilité initiale		N°	Date		
Transformation d'une demande de brevet européen		<input type="checkbox"/>	Date		
Demande de brevet initiale		N°	Date		
3 TITRE DE L'INVENTION (200 caractères ou espaces maximum) Convertisseur de tension à transistors MOS.					
4 DÉCLARATION DE PRIORITÉ OU REQUÊTE DU BÉNÉFICE DE LA DATE DE DÉPÔT D'UNE DEMANDE ANTÉRIEURE FRANÇAISE		Pays ou organisation Date N° Pays ou organisation Date N° Pays ou organisation Date N° <input type="checkbox"/> S'il y a d'autres priorités, cochez la case et utilisez l'imprimé «Suite»			
5 DEMANDEUR		<input type="checkbox"/> S'il y a d'autres demandeurs, cochez la case et utilisez l'imprimé «Suite»			
Nom ou dénomination sociale		KONINKLIJKE PHILIPS ELECTRONICS N.V.			
Prénoms					
Forme juridique		Société de droit Neerlandais			
N° SIREN					
Code APE-NAF					
Adresse		Groenewoudseweg 1			
Rue					
Code postal et ville		5621 BA EINDHOVEN			
Pays		PAYS-BAS			
Nationalité		Néerlandaise			
N° de téléphone (facultatif)					
N° de télécopie (facultatif)					
Adresse électronique (facultatif)					

REMISE DES PIÈCES DATE LIEU 29 MARS 2002 75 INPI PARIS N° D'ENREGISTREMENT NATIONAL ATTRIBUÉ PAR L'INPI 0204013		Réservé à l'INPI		08 540 17 / 260993	
Vos références pour ce dossier : <i>(facultatif)</i>			PHFR020028		
6 MANDATAIRE					
Nom			GATEPIN		
Prénom			Philippe		
Cabinet ou Société			S.P.I.D.		
N° de pouvoir permanent et/ou de lien contractuel			07036 pouvoir particulier 10473		
Adresse	Rue	156 Bd Haussmann			
	Code postal et ville	75008	PARIS		
N° de téléphone <i>(facultatif)</i>			01 40 76 80 30		
N° de télécopie <i>(facultatif)</i>					
Adresse électronique <i>(facultatif)</i>					
7 INVENTEUR (S)					
Les inventeurs sont les demandeurs			<input type="checkbox"/> Oui <input checked="" type="checkbox"/> Non Dans ce cas fournir une désignation d'inventeur(s) séparée		
8 RAPPORT DE RECHERCHE			Uniquement pour une demande de brevet (y compris division et transformation)		
Établissement immédiat ou établissement différé			<input checked="" type="checkbox"/> <input type="checkbox"/>		
Paiement échelonné de la redevance			Paiement en trois versements, uniquement pour les personnes physiques <input type="checkbox"/> Oui <input checked="" type="checkbox"/> Non		
9 RÉDUCTION DU TAUX DES REDEVANCES			Uniquement pour les personnes physiques <input type="checkbox"/> Requête pour la première fois pour cette invention <i>(joindre un avis de non-imposition)</i> <input type="checkbox"/> Requête antérieurement à ce dépôt <i>(joindre une copie de la décision d'admission pour cette invention ou indiquer sa référence)</i> :		
Si vous avez utilisé l'imprimé «Suite», indiquez le nombre de pages jointes					
10 SIGNATURE DU DEMANDEUR OU DU MANDATAIRE (Nom et qualité du signataire) P. GATEPIN Mandataire SPID 422-5/S008			VISA DE LA PRÉFECTURE OU DE L'INPI  C. MARTIN		

La loi n°78-17 du 6 janvier 1978 relative à l'informatique, aux fichiers et aux libertés s'applique aux réponses faites à ce formulaire. Elle garantit un droit d'accès et de rectification pour les données vous concernant auprès de l'INPI.

DOMAINE DE L'INVENTION

L'invention concerne un convertisseur de tension pour générer sur une borne de sortie, une tension de sortie à partir d'une tension d'entrée VDD prise par rapport à une masse GND, ledit convertisseur de tension comprenant :

- 5 - une capacité C_p ayant une première borne N1 et une deuxième borne N2,
- quatre transistors T1-T2-T3-T4 de type MOS jouant le rôle d'interrupteur, chaque transistor étant commandé par un signal de commande de niveau variant au rythme d'un signal d'horloge, chaque transistor comprenant chacun une source, une grille, un drain, et tels que le premier transistor T1 est connecté entre la tension d'entrée VDD et la première borne N1, le deuxième transistor T2 est connecté entre la première borne N1 et la masse GND, le troisième transistor T3 est connecté entre la tension d'entrée VDD et la deuxième borne N2, le quatrième transistor T4 est connecté entre la deuxième borne N2 et la borne de sortie.

15 L'invention a de nombreuses applications dans les appareils électroniques utilisant des convertisseurs de tension mettant en œuvre des transistors de type MOS.

ARRIERE PLAN TECHNOLOGIQUE DE L'INVENTION

20 De nombreux équipements électroniques ne disposant que d'une tension d'entrée de faible niveau implémentent un convertisseur de tension permettant de générer une tension de sortie d'amplitude plus élevée. En particulier, les doubleurs de tension sont couramment utilisés pour multiplier par deux l'amplitude de la tension d'entrée.

25 La figure 1 décrit un convertisseur de tension connu de l'état de la technique dit « à capacité commutée ». Il s'agit d'un doubleur de tension.

Ce convertisseur de tension met en œuvre quatre transistors T1-T2-T3-T4 jouant le rôle d'interrupteur, ainsi qu'une capacité C_p . Les transistors T2 et T3 sont fermés sur les niveaux hauts du signal d'horloge CLK, tandis les transistors T1 et T4 sont fermés sur les niveaux bas du signal d'horloge CLK via l'inverseur INV.

30 Lorsque T2 et T3 sont équivalents à des interrupteurs fermés, la capacité C_p se charge jusqu'à avoir à ses bornes une différence de potentiel $U_{cp} = VDD$. Lorsque T1 et T4 sont à leur tour équivalents à des interrupteurs fermés, la borne N1 est connectée à la tension d'entrée VDD, ce qui, compte tenu de l'état de charge de la capacité C_p , amène la borne de sortie Vout au potentiel $2*VDD$.

35 La capacité C_r n'a pas un rôle capital pour le fonctionnement du convertisseur, mais permet de réduire l'ondulation de la tension de sortie.

Ce type de convertisseur de tension présente un certain nombre de limitations lorsque le niveau de la tension d'entrée varie d'un équipement électronique à un autre.

Aux différents instants de commutation des Interrupteurs T2-T3 et T1-T4, la capacité C_p se charge avec une constante de temps définie par les résistances des jonctions drain-source des transistors T2-T3 et T1-T4. Les pics du courant de commutation I_c aux différents instants de commutation sont donc proportionnels à la tension d'entrée VDD et inversement proportionnels à la résistance de drain-source R_{MOS} des transistors T2-T3 et T1-T4. Le courant de commutation I_c est donc de la forme :

$$I_c = K1.VDD / R_{MOS} \quad \text{avec } K1 = \text{constante} \quad \text{Eq.1}$$

De plus, lorsqu'ils sont équivalents à des interrupteurs fermés, la résistance R_{MOS} des transistors T1-T2-T3-T4 de type MOS est inversement proportionnelle à leur tension grille-source, c'est-à-dire inversement proportionnelle à la tension d'entrée VDD puisque qu'ils sont équivalents à des interrupteurs fermés lorsque qu'une différence de potentiel V_{GS0} d'amplitude VDD est appliquée entre leur grille et leur source via le signal CLK. La résistance R_{MOS} de chacun des transistors T1-T2-T3-T4 est donc de la forme :

$$R_{MOS} = K2 / V_{GS0} \quad \text{avec } K2 = \text{constante} \quad \text{Eq.2}$$

$$R_{MOS} = K2 / VDD$$

Ainsi, compte tenu de Eq.1, le courant de commutation I_c augmente de façon quadratique en fonction de la tension d'entrée VDD. Il est donc de la forme :

$$I_c = K3.VDD^2 \quad \text{avec } K3 = \text{constante} \quad \text{Eq.3}$$

Ces pics de courant de commutation engendrent un bruit parasite d'autant plus important que l'amplitude des pics est élevée. En particulier, si d'un équipement électronique à un à autre la tension d'entrée VDD augmente, le bruit parasite augmente également. Compte tenu que le courant I_c augmente de façon quadratique en fonction de la tension d'entrée VDD, une faible variation de la tension d'entrée VDD entraîne une variation importante du courant de commutation, donc du bruit parasite.

Avec un tel convertisseur de tension, le niveau de bruit ne peut donc pas être garanti à un niveau constant lorsque la tension d'entrée VDD varie, même si VDD ne varie que très légèrement. Cette limitation technique d'un tel convertisseur connu de l'art antérieur est notamment gênante pour satisfaire aux exigences des normes de compatibilité électromagnétique.

35

RESUME DE L'INVENTION

L'invention a pour but de proposer un convertisseur de tension permettant de réduire les variations du courant de commutation.

Pour cela, le convertisseur de tension est remarquable en ce qu'il comprend au moins un circuit de commande pour délivrer ledit signal de commande appliqué entre la grille et la source d'un des transistors T1-T2-T3 jouant le rôle d'interrupteur, ledit circuit de commande ayant notamment pour fonction de générer un signal de commande d'amplitude inversement proportionnelle à la tension d'entrée VDD lorsque le transistor qu'il commande est équivalent à un interrupteur fermé.

Le signal de commande V_{GS} généré par le circuit de commande selon l'invention est de la forme :

$$V_{GS} = K4 / VDD \quad \text{avec } K2 = \text{constante} \quad \text{Eq.4}$$

D'autre part, la résistance R_{MOS} du transistor commandé par le circuit de commande est de la forme :

$$R_{MOS} = K2 / V_{GS} \quad \text{avec } K2 = \text{constante} \quad \text{Eq.5}$$

Ainsi, compte tenu de Eq.4 et Eq.5, la résistance R_{MOS} devient proportionnelle à la tension d'entrée VDD. La résistance R_{MOS} est de la forme :

$$R_{MOS} = K5.VDD \quad \text{avec } K5 = \text{constante} \quad \text{Eq.6}$$

Ainsi, compte tenu de Eq.1 et Eq.6, le courant de commutation I_c devient invariant aux variations de la tension d'entrée VDD. Le courant de commutation est donc de la forme :

$$I_c = K6 \quad \text{avec } K6 = \text{constante} \quad \text{Eq.7}$$

Les variations des pics du courant de commutation I_c aux différents instants de commutation des transistors T2-T3 et T1-T4 sont donc annulées via la génération d'un signal de commande d'amplitude inversement proportionnelle à la tension d'entrée VDD. Les pics du courant de commutation I_c sont donc invariants aux variations de la tension d'entrée VDD, ce qui permet de garantir un niveau de bruit constant lorsque la tension d'entrée VDD varie.

L'invention est aussi remarquable en ce que ledit circuit de commande comprend, lorsqu'il commande un transistor de type P-MOS :

- un transistor additionnel M1 de type P-MOS jouant le rôle d'interrupteur fermé,
- une source de courant IREF_1 mise en série avec la jonction drain-source dudit transistor additionnel M1,
- un commutateur COM1 à deux entrées dont la première entrée E1 est connectée au point milieu P du transistor additionnel M1 et de la source de courant IREF_1, et dont la deuxième entrée E2 est connectée à la tension d'entrée VDD, ledit commutateur étant commandé via ledit signal d'horloge.

Cette association de moyens permet de générer à moindre coût un signal de commande d'amplitude inversement proportionnelle à la tension d'entrée VDD.

Un avantage supplémentaire à ce mode particulier de réalisation est la très bonne compensation des variations de la résistance R_{MOS} du transistor additionnel et du transistor commandé par le circuit de commande dans la mesure où ces transistors peuvent être identiques.

L'invention est aussi remarquable en ce que ledit circuit de commande comprend, lorsqu'il commande un transistor de type N-MOS :

- un transistor additionnel M2 de type N-MOS jouant le rôle d'interrupteur fermé,
- une source de courant IREF_2 mise en série avec la jonction drain-source dudit transistor additionnel M2,
- un commutateur COM2 à deux entrées dont la première entrée E1 est connectée au point milieu P du transistor additionnel M2 et de la source de courant IREF_2, et dont la deuxième entrée E2 est connectée à la masse GND, ledit commutateur étant commandé via ledit signal d'horloge.

Cette association de moyens permet de générer à moindre coût un signal de commande d'amplitude inversement proportionnelle à la tension d'entrée VDD.

Un avantage supplémentaire à ce mode particulier de réalisation est la très bonne compensation des variations de la résistance R_{MOS} du transistor additionnel et du transistor commandé par le circuit de commande dans la mesure où ces transistors peuvent être identiques.

L'invention concerne également un circuit intégré comprenant un convertisseur de tension selon l'invention.

L'invention concerne également un dispositif de lecture de carte à puce comprenant un convertisseur de tension selon l'invention pour générer à partir d'une tension d'entrée, une tension de sortie d'amplitude plus élevée. Cette tension de sortie est destinée à servir de tension d'entrée à un régulateur de tension délivrant un ensemble de tensions de sortie pour alimenter une carte à puce, et ainsi permettre l'échange de données entre le dispositif de lecture et la carte à puce.

35

BREVE DESCRIPTIONS DES DESSINS

Ces aspects de l'invention ainsi que d'autres aspects plus détaillés apparaîtront plus clairement grâce à la description suivante, faite en regard des dessins ci-annexés, le tout donné à titre d'exemple non limitatif, dans lesquels :

La figure 1 décrit un convertisseur de tension connu de l'état de la technique,

La figure 2 décrit un convertisseur de tension selon l'invention,

La figure 3 décrit un premier circuit de commande pour commander des transistors de type P-MOS dans un convertisseur de tension selon l'invention,

5 La figure 4 décrit un deuxième circuit de commande pour commander des transistors de type N-MOS dans un convertisseur de tension selon l'invention,

La figure 5 décrit un dispositif de lecture de carte à puce comprenant un convertisseur de tension selon l'invention.

10

DESCRIPTION DE MODES DE REALISATION DE L'INVENTION

La figure 2 décrit un convertisseur de tension selon l'invention. Ce convertisseur a le même principe de fonctionnement que le convertisseur de tension connu de l'état de la technique et décrit via la figure 1.

15 Pour cela, le convertisseur de la figure 2 utilise des transistors T1-T2-T3-T4 de type MOS jouant le rôle d'interrupteur. Les transistors T1-T3-T4 sont de type P-MOS tandis que le transistor T2 est de type N-MOS.

Lorsque les transistors T2-T3 sont équivalents à des interrupteurs fermés, les transistors T1-T4 sont équivalents à des interrupteurs ouverts. Inversement, lorsque les
20 transistors T2-T3 sont équivalents à des interrupteurs ouverts, les transistors T1-T4 sont équivalents à des interrupteurs fermés. Le changement d'état des transistors T1-T2-T3-T4 jouant le rôle d'interrupteur se fait au rythme du signal d'horloge CLK.

Le cycle de commutation des transistors T1-T2-T3-T4 permet de charger la capacité Cp lorsque les transistors T2-T3 sont équivalents à des interrupteurs fermés, pour délivrer une
25 tension de sortie Vout de niveau plus élevé que la tension d'entrée VDD lorsque les transistors T1-T4 sont équivalents à des interrupteurs fermés.

Les transistors T1-T2-T3 sont commandés par des circuits de commande selon l'invention pour permettre le changement d'état des transistors T1-T2-T3 jouant le rôle d'interrupteur en générant un signal de commande appliqué entre la grille et la source de
30 chaque transistor ainsi commandé.

Les circuits de commande C1 et C3 sont identiques car ils commandent tous les deux des transistors de type P-MOS. Le circuit de commande C1 commandant le transistor T1 fournit un signal de commande variant au rythme de l'inverse du signal d'horloge CLK via l'inverseur INV, tandis que le circuit de commande C3 fournit un signal de commande variant au rythme du
35 signal d'horloge CLK. Le circuit de commande C2 dédié à la commande d'un transistor de type N-MOS fournit un signal de commande variant au rythme du signal d'horloge CLK.

Chaque circuit de commande est remarquable en ce qu'il délivre un signal de commande d'amplitude inversement proportionnelle à la tension d'entrée VDD lorsque le transistor qu'il commande est équivalent à un interrupteur fermé. Cela entraîne que la

résistance R_{MOS} de chaque transistor commandé par le circuit de commande devient proportionnelle à la tension d'entrée VDD. Par conséquent, le courant de commutation I_c devient invariant aux variations de la tension d'entrée VDD.

5 Chaque circuit de commande permet aussi de délivrer ledit signal de commande avec un niveau de potentiel tel qu'il permet au transistor qu'il commande de jouer le rôle d'un interrupteur ouvert. Pour cela, le signal de commande a pour niveau la tension d'entrée VDD si le transistor commandé est de type P-MOS, et a pour niveau la masse GND si le transistor commandé est de type N-MOS.

10 La capacité C_r n'a pas un rôle majeur quant au principe de fonctionnement du convertisseur, mais elle permet cependant de réduire l'ondulation de la tension de sortie V_{out} .

Le transistor T4 de type P-MOS est directement commandé par le signal d'horloge CLK sur sa grille, de façon à ce qu'il soit équivalent à un interrupteur fermé ou ouvert en même temps que le transistor T1.

15 Bien que la figure 2 décrive un convertisseur mettant en œuvre un circuit de commande pour chaque transistor T1, T2 et T3, l'invention prévoit aussi un convertisseur de tension (non représenté) où seuls un ou deux transistors pris parmi les transistors T1, T2 et T3 sont commandés par un circuit de commande. Ce convertisseur permet d'obtenir un convertisseur de plus faible coût puisque le nombre de circuits de commande est réduit.

20 La figure 3 décrit un premier circuit de commande pour commander des transistors de type P-MOS dans un convertisseur de tension selon l'invention.

Un tel circuit de commande C1 est utilisé pour la commande du transistor T1 de type P-MOS, et un tel circuit de commande C3 est utilisé pour la commande du transistor T3 de type P-MOS.

25 Chaque circuit de commande comprend un transistor additionnel M1 de type P-MOS jouant le rôle d'interrupteur fermé. Pour cela, la grille du transistor M1 est connectée à la masse GND de façon à appliquer une différence de potentiel $V_{GS0} = VDD$ entre la grille et la source de M1.

30 Le circuit de commande comprend également une source de courant IREF_1 mise en série avec la jonction drain-source dudit transistor additionnel M1. Cette source de courant débite un courant IREF_1 dans la jonction drain-source dudit transistor additionnel M1. La valeur du courant IREF_1 est constante et est en particulier indépendante de la tension d'entrée VDD.

35 Le circuit de commande comprend également un commutateur COM1 à deux entrées E1 et E2, la première entrée E1 étant connectée au point milieu du transistor additionnel et de la source de courant, la deuxième entrée E2 étant connectée à la tension d'entrée VDD.

Le commutateur COM1 est commandé par le signal d'horloge CLK_IN1. Pour le circuit de commande C1, le signal d'horloge CLK_IN1 correspond au signal d'horloge fourni à la sortie

de l'inverseur INV de la figure 2. Pour le circuit de commande C3, le signal d'horloge CLK_IN1 correspond au signal d'horloge CLK de la figure 2.

Lorsque le signal d'horloge CLK_IN1 est au niveau bas, c'est-à-dire à la masse GND, un potentiel VDD est appliqué sur la grille du transistor T1/T3. Le circuit de commande applique donc une différence de potentiel $V_{GS} = 0$ entre la grille et la source du transistor T1/T3. Par conséquent, le transistor T1/T3 est équivalent à un interrupteur ouvert.

Lorsque le signal d'horloge CLK_IN1 est au niveau haut, c'est-à-dire à la tension d'entrée VDD, un potentiel V_G égal à celui du point milieu P entre la source de courant IREF_1 et la jonction drain-source de M1 est appliqué sur la grille du transistor T1/T3. Le circuit de commande applique donc une différence de potentiel V_{GS} entre la grille et la source du transistor T1/T3 égale à la différence de potentiel aux bornes de la jonction drain-source du transistor M1, cette différence de potentiel étant inversement proportionnelle à la tension d'entrée VDD. Le potentiel au point P étant de faible valeur, la différence de potentiel V_{GS} est de valeur suffisamment élevée pour rendre le transistor T1/T3 équivalent à un interrupteur fermé.

En d'autres termes, un tel circuit de commande permet, lorsqu'il commande un transistor de type P-MOS équivalent à un interrupteur fermé, d'appliquer un potentiel V_G sur la grille du transistor T1/T3 légèrement plus élevé que la masse GND d'une quantité ϵ (d'environ quelques volts) de façon à s'affranchir des fluctuations de la tension d'entrée VDD, contrairement au convertisseur de l'état de la technique où un potentiel égal à GND aurait été appliqué sur la grille du transistor T1/T3.

Dans un mode de réalisation particulier, les entrées E1 et E2 du commutateur COM1 du circuit de commutation C1 seront avantageusement interverties de façon à ce que le signal d'horloge CLK_IN1 corresponde au signal d'horloge CLK, faisant ainsi l'économie de l'inverseur INV.

La figure 4 décrit un deuxième circuit de commande pour commander des transistors de type N-MOS dans un convertisseur de tension selon l'invention.

Un tel circuit de commande C2 est utilisé pour la commande du transistor T2 de type P-MOS

Le circuit de commande C2 comprend un transistor additionnel M2 de type N-MOS jouant le rôle d'interrupteur fermé. Pour cela, la grille du transistor M2 est connectée à la tension d'entrée VDD de façon à appliquer une différence de potentiel $V_{GS0} = VDD$ entre la grille et la source de M2.

Le circuit de commande comprend également une source de courant IREF_2 mise en série avec la jonction drain-source dudit transistor additionnel M2. Cette source de courant débite un courant IREF_2 dans la jonction drain-source dudit transistor additionnel M2. La valeur du courant IREF_2 est constante et est en particulier indépendante de la tension d'entrée VDD.

Le circuit de commande comprend également un commutateur COM2 à deux entrées E1 et E2, la première entrée E1 étant connectée au point milieu du transistor additionnel et de la source de courant, la deuxième entrée E2 étant connectée à la masse GND.

Le commutateur COM2 est commandé par le signal d'horloge CLK_IN2. Le signal d'horloge CLK_IN2 correspond au signal d'horloge CLK de la figure 2.

Lorsque le signal d'horloge CLK_IN2 est au niveau bas, c'est-à-dire à la masse GND, un potentiel GND est appliqué sur la grille du transistor T2. Le circuit de commande applique donc une différence de potentiel $V_{GS} = 0$ entre la grille et la source du transistor T2. Par conséquent, le transistor T2 est équivalent à un interrupteur ouvert.

Lorsque le signal d'horloge CLK_IN2 est au niveau haut, c'est-à-dire à la tension d'entrée VDD, un potentiel V_G égal à celui du point milieu P entre la source de courant IREF_2 et la jonction drain-source de M2 est appliqué sur la grille du transistor T2. Le circuit de commande applique donc une différence de potentiel V_{GS} entre la grille et la source du transistor T2 égale à la différence de potentiel aux bornes de la jonction drain-source du transistor M2, cette différence de potentiel étant inversement proportionnelle à la tension d'entrée VDD. La différence de potentiel entre la tension d'entrée VDD et le point P étant de faible valeur, la différence de potentiel V_{GS} est de valeur suffisamment élevée pour rendre le transistor T2 équivalent à un interrupteur fermé.

En d'autres termes, un tel circuit de commande permet, lorsqu'il commande un transistor de type N-MOS équivalent à un interrupteur fermé, d'appliquer un potentiel V_G sur la grille du transistor T2 légèrement plus faible que la tension d'entrée VDD d'une quantité ϵ (d'environ quelques volts) de façon à s'affranchir des fluctuations de la tension d'entrée VDD, contrairement au convertisseur de l'état de la technique où un potentiel égal à VDD aurait été appliqué sur la grille du transistor T2.

La figure 5 décrit un dispositif SCR de lecture de carte à puce comprenant un convertisseur de tension CONV selon l'invention.

Le dispositif SCR comprend une source de tension d'entrée VDD connectée à l'entrée d'un convertisseur de tension selon l'invention telle que décrite à la figure 2. Le convertisseur CONV permet de délivrer une tension de sortie V_{out} de plus forte amplitude que la tension d'entrée VDD. A partir de cette tension de sortie V_{out} est généré un ensemble de tensions de sortie au moyen d'un régulateur de tension REG, la régulation de ces tensions de sortie étant faite à partir d'une référence de tension V_{ref} interne au dispositif de lecture SCR. En particulier, ces tensions de sortie ont un niveau de 5 Volts, 3 Volts et 1.8 Volt et sont destinées à alimenter une carte à puce SM communiquant avec le dispositif SCR en vue d'échanger des données DAT.

Le convertisseur de tension selon l'invention pourra avantageusement être intégré dans un circuit intégré, en particulier un circuit intégré dédié à la gestion d'un dispositif de lecture de carte à puce.

REVENDICATIONS

1. Convertisseur de tension pour générer sur une borne de sortie, une tension de sortie à partir d'une tension d'entrée VDD prise par rapport à une masse GND, ledit convertisseur de tension comprenant :

- 5 - une capacité Cp ayant une première borne N1 et une deuxième borne N2,
- quatre transistors T1-T2-T3-T4 de type MOS jouant le rôle d'interrupteur, chaque transistor étant commandé par un signal de commande de niveau variant au rythme d'un signal d'horloge, chaque transistor comprenant chacun une source, une grille, un drain, et tels que le premier transistor T1 est connecté entre la tension d'entrée VDD et la première borne N1, le deuxième transistor T2 est connecté entre la première borne N1 et la masse GND, le troisième transistor T3 est connecté entre la tension d'entrée VDD et la deuxième borne N2, le quatrième transistor T4 est connecté entre la deuxième borne N2 et la borne de sortie,

15 **caractérisé en ce qu'il** comprend au moins un circuit de commande pour délivrer ledit signal de commande appliqué entre la grille et la source d'un des transistors T1-T2-T3 jouant le rôle d'interrupteur, ledit circuit de commande ayant notamment pour fonction de générer un signal de commande d'amplitude inversement proportionnelle à la tension d'entrée VDD lorsque le transistor qu'il commande est équivalent à un interrupteur fermé.

20 2. Convertisseur de tension selon la revendication 1 **caractérisé en ce que** ledit circuit de commande comprend, lorsqu'il commande un transistor de type P-MOS :

- un transistor additionnel M1 de type P-MOS jouant le rôle d'interrupteur fermé,
- une source de courant IREF_1 mise en série avec la jonction drain-source dudit transistor additionnel M1,
- 25 - un commutateur COM1 à deux entrées dont la première entrée E1 est connectée au point milieu P du transistor additionnel M1 et de la source de courant IREF_1, et dont la deuxième entrée E2 est connectée à la tension d'entrée VDD, ledit commutateur étant commandé via ledit signal d'horloge.

30 3. Convertisseur de tension selon la revendication 1 **caractérisé en ce que** ledit circuit de commande comprend, lorsqu'il commande un transistor de type N-MOS :

- un transistor additionnel M2 de type N-MOS jouant le rôle d'interrupteur fermé,
- une source de courant IREF_2 mise en série avec la jonction drain-source dudit transistor additionnel M2,
- 35 - un commutateur COM2 à deux entrées dont la première entrée E1 est connectée au point milieu P du transistor additionnel M2 et de la source de courant IREF_2, et dont la deuxième entrée E2 est connectée à la masse GND, ledit commutateur étant commandé via ledit signal d'horloge.

4. Circuit intégré comprenant un convertisseur de tension pour générer sur une borne de sortie, une tension de sortie à partir d'une tension d'entrée VDD prise par rapport à une masse GND, ledit convertisseur de tension comprenant :

- une première capacité Cp ayant une première borne N1 et une deuxième borne N2,
- 5 - quatre transistors T1-T2-T3-T4 de type MOS jouant le rôle d'interrupteur, chaque transistor étant commandé par un signal de commande de niveau variant au rythme d'un signal d'horloge, chaque transistor comprenant chacun une source, une grille, un drain, et tels que le premier transistor T1 est connecté entre la tension d'entrée VDD et la première borne N1, le deuxième transistor T2 est connecté entre la première borne N1 et la masse GND, le troisième transistor T3 est connecté entre la tension d'entrée VDD et la 10 deuxième borne N2, le quatrième transistor T4 est connecté entre la deuxième borne N2 et la borne de sortie,

caractérisé en ce que le convertisseur de tension comprend au moins un circuit de commande pour délivrer ledit signal de commande appliqué entre la grille et la source d'un des 15 transistors T1-T2-T3 jouant le rôle d'interrupteur, ledit circuit de commande ayant notamment pour fonction de générer un signal de commande d'amplitude inversement proportionnelle à la tension d'entrée VDD lorsque le transistor qu'il commande est équivalent à un interrupteur fermé.

20 5. Dispositif de lecture de carte à puce comprenant un convertisseur de tension pour générer sur une borne de sortie, une tension de sortie à partir d'une tension d'entrée VDD prise par rapport à une masse GND, ladite tension de sortie permettant de générer un ensemble de tensions de sortie via un régulateur de tension en vue d'alimenter une carte à puce communiquant avec ledit dispositif de lecture, ledit convertisseur de tension comprenant :

- 25 - une première capacité Cp ayant une première borne N1 et une deuxième borne N2,
- quatre transistors T1-T2-T3-T4 de type MOS jouant le rôle d'interrupteur, chaque transistor étant commandé par un signal de commande de niveau variant au rythme d'un signal d'horloge, chaque transistor comprenant chacun une source, une grille, un drain, et tels que le premier transistor T1 est connecté entre la tension d'entrée VDD et la première borne N1, le deuxième transistor T2 est connecté entre la première borne N1 et 30 la masse GND, le troisième transistor T3 est connecté entre la tension d'entrée VDD et la deuxième borne N2, le quatrième transistor T4 est connecté entre la deuxième borne N2 et la borne de sortie,

caractérisé en ce que le convertisseur de tension comprend au moins un circuit de 35 commande pour délivrer ledit signal de commande appliqué entre la grille et la source d'un des transistors T1-T2-T3 jouant le rôle d'interrupteur, ledit circuit de commande ayant notamment pour fonction de générer un signal de commande d'amplitude inversement proportionnelle à la tension d'entrée VDD lorsque le transistor qu'il commande est équivalent à un interrupteur fermé.

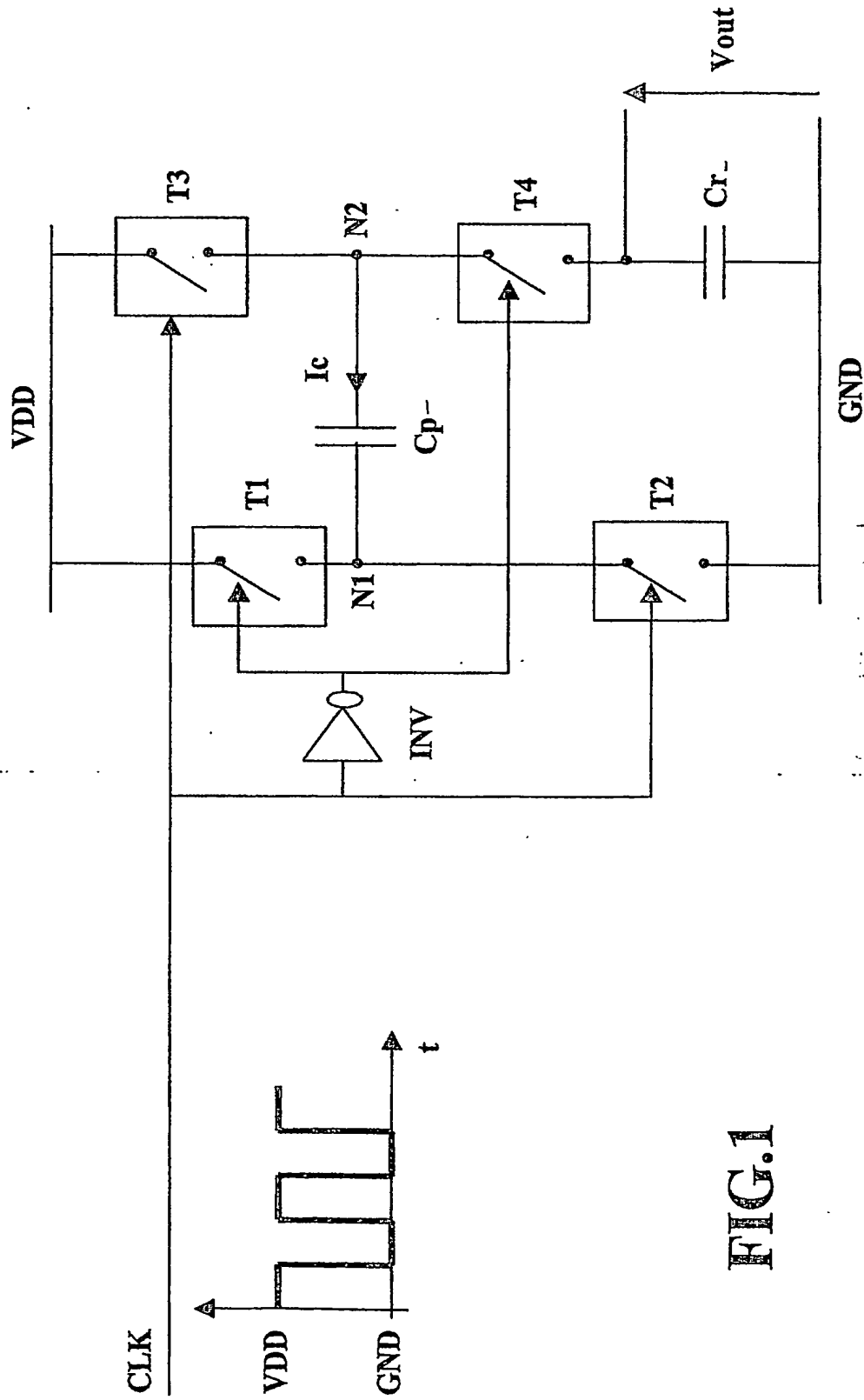
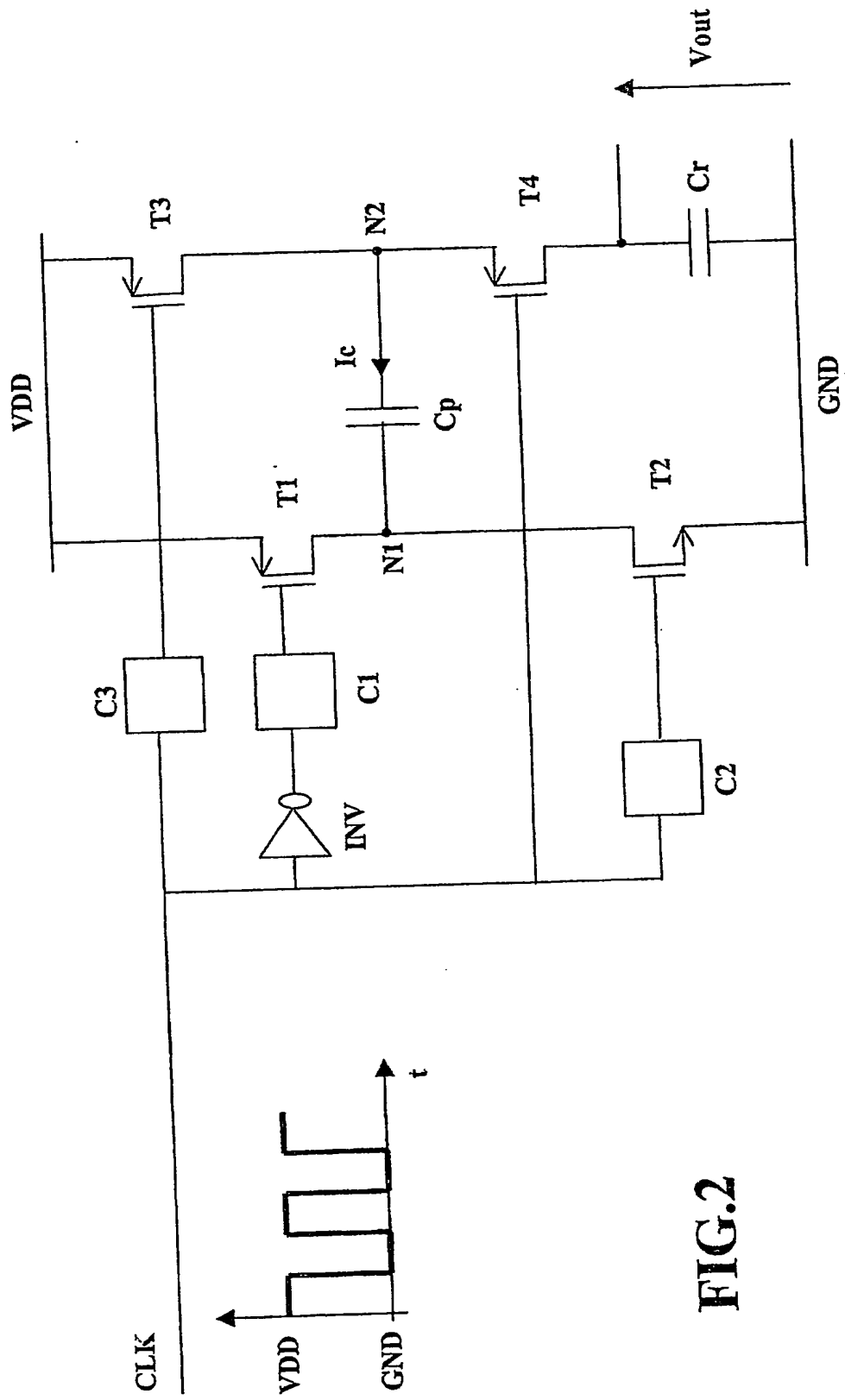


FIG.1

**FIG.2**

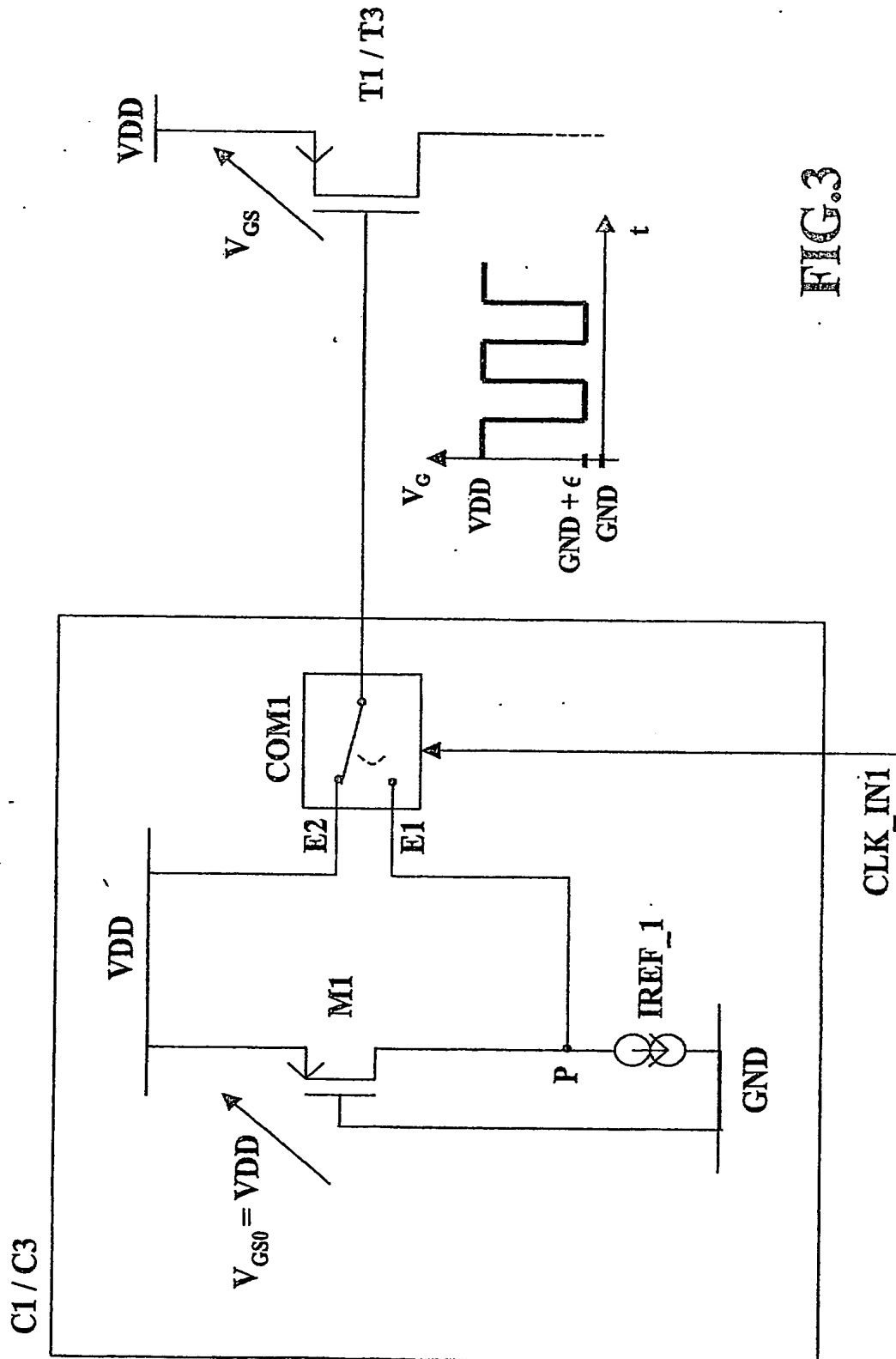


FIG. 3

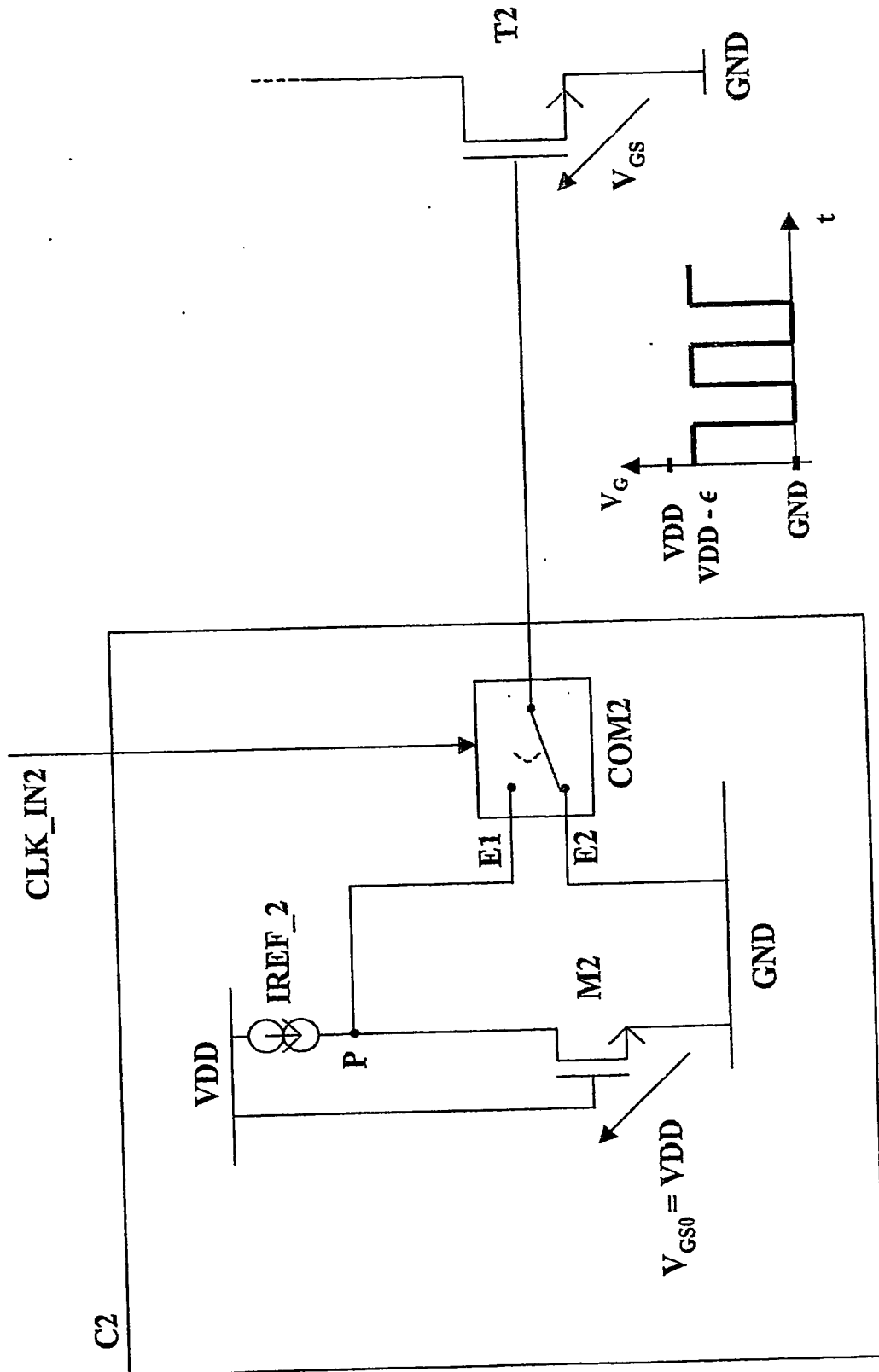


FIG.4

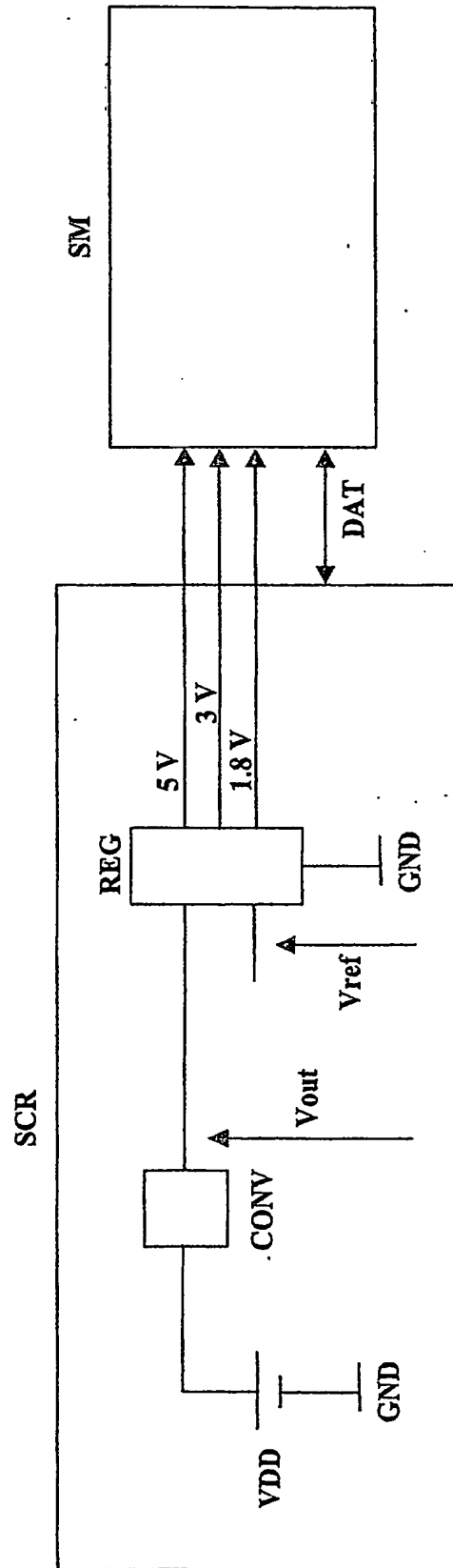


FIG.5

DÉPARTEMENT DES BREVETS

26 bis, rue de Saint Pétersbourg

75800 Paris Cedex 08

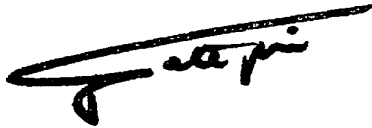
Téléphone : 01 53 04 53 04 Télécopie : 01 42 93 59 30

DÉSIGNATION D'INVENTEUR(S) Page N° 1. / 1.

(Si le demandeur n'est pas l'inventeur ou l'unique inventeur)

Cet imprimé est à remplir lisiblement à l'encre noire

08 113 W / 260599

Vos références pour ce dossier (facultatif)		PHFR020028	
N° D'ENREGISTREMENT NATIONAL		0201013	
TITRE DE L'INVENTION (200 caractères ou espaces maximum) Convertisseur de tension à transistors MOS.			
LE(S) DEMANDEUR(S) : KONINKLIJKE PHILIPS ELECTRONICS N.V.			
DESIGNE(NT) EN TANT QU'INVENTEUR(S) : (Indiquez en haut à droite «Page N° 1/1» S'il y a plus de trois inventeurs, utilisez un formulaire identique et numérotez chaque page en indiquant le nombre total de pages).			
Nom		UGUEN	
Prénoms		Emeric	
Adresse	Rue	156, Bd Haussmann	
	Code postal et ville	75008	PARIS
Société d'appartenance (facultatif)		Société Civile S.P.I.D.	
Nom			
Prénoms			
Adresse	Rue		
	Code postal et ville		
Société d'appartenance (facultatif)			
Nom			
Prénoms			
Adresse	Rue		
	Code postal et ville		
Société d'appartenance (facultatif)			
DATE ET SIGNATURE(S) DU (DES) DEMANDEUR(S) OU DU MANDATAIRE (Nom et qualité du signataire) 29 Mars 2002			
P. GATEPIN Mandataire SPID 422-5/S008			

La loi n°78-17 du 6 janvier 1978 relative à l'informatique, aux fichiers et aux libertés s'applique aux réponses faites à ce formulaire.
Elle garantit un droit d'accès et de rectification pour les données vous concernant auprès de l'INPI.